

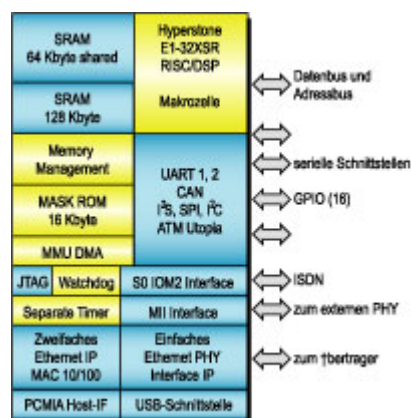
## Einchip-Lösung reduziert Kosten für Netzwerk- und Kommunikationsapplikationen

**Mit zwei MACs, einem 100-Mbit-Ethernet-PHY und einer Vielzahl weiterer integrierter Schnittstellen zählt der auf der embedded world in Nürnberg vorgestellte Hyperstone hyNet32XS zu den vielseitigsten und gleichzeitig leistungsfähigsten 32-bit-Kommunikationsprozessoren auf dem Markt. In Verbindung mit dem Embedded-RTOS HyNetOS 3.0 lassen sich viele Netzwerk- und Kommunikationsprojekte erstmals sogar ohne zusätzlichen externen Speicher als echte „System on Single Chip“-Lösungen realisieren.**

Vernetzte Lichtschalter, kommunizierende Heizungen – Warum nicht, wenn die Kosten für einen TCP/IP-Knoten unter fünf Euro liegen? Viele Projekte, die heute technisch durchaus schon realisierbar wären, scheitern bislang in der Massenanwendung schlichtweg an zu hohen Kosten. Wer wirklich preisgünstige Lösungen sucht, wird also über kurz oder lang an echten „Systems on Single Chip“ (SoSC) nicht vorbeikommen. Diese integrieren nicht nur die gesamte Peripherie einschließlich diverser Schnittstellen-Konverter, sondern auch den benötigten Arbeitsspeicher. Da die Integration von 1 Mbyte Speicher, der z.B. von „Embedded Linux“ für den Betrieb eines Webserver benötigt wird, derzeit noch zu teuer ist, war eine Menge Einfallsreichtum gefragt, um bei relativ kleinem Arbeitsspeicher – im Falle des hyNet32XS 128 Kbyte schnelles SRAM – trotzdem ein Maximum an Effizienz und Durchsatz zu erzielen.

### RISC-Prozessor und DSP-Einheit in einem Kern

Der in einem 0,18- $\mu$ m-Prozess gefertigte hyNet32XS (Bild 1) basiert, wie alle Mitglieder der Hyperstone-Familie, auf einem kombinierten RISC/DSP-Core. Die RISC-Architektur der CPU garantiert eine leistungsfähige, aber kompakte Recheneinheit, während der darin organisch eingebettete DSP-Teil als Turbolader für typische Rechenfunktionen der Signalverarbeitung wirkt. Die am häufigsten ausgeführten Operationen sind in 16-bit-Befehlen codiert, während selten benötigte Funktionen oder Befehle mit langen Konstanten in 32 oder sogar 48 bit verschlüsselt werden. Der Befehlsstrom enthält sowohl die Anweisungen für die RISC-CPU wie auch für die DSP-Einheit. Aktivitäten in beiden Einheiten können parallel zueinander ablaufen, während die Pipeline-Struktur innerhalb der ALU für eine Parallelverarbeitung der Funktionen Befehlsdecodierung, Rechnung und Load/Store sorgt. Daher sind pro Systemtakt bis zu vier Funktionen gleichzeitig ausführbar. Bei einem Prozessortakt bis zu 220 MHz sorgt dies für eine imposante Ausführungsleistung. CPU und DSP-Einheit sind über einen Registersatz von 96 Zellen zu je 32 bit gekoppelt. Die Basis des DSP-Kerns bilden ein 16x16-bit-Multiplizierer und ein 64-bit-Addierer (Bild 2). Ein 16-bit-„Multiply/Accumulate“ wird dabei in einem Takt ausgeführt.

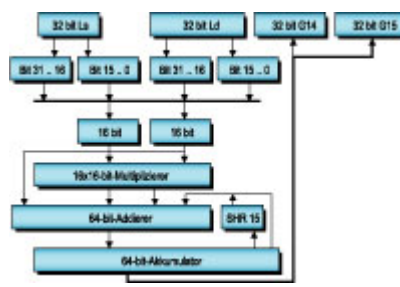


**Bild 1.** Die Architektur des hyNet32XS.

### Parallele Verarbeitung für Echtzeit-Fähigkeit

Aufgrund der Pipeline-Architektur von RISC-CPU und DSP-Einheit können die meisten Befehle in nur einem Takt verarbeitet werden. Für eine komplexe 1000-Punkte-FFT mit 16-bit-Daten benötigt der Hyperstone-Prozessor lediglich 0,25 ms, ein Wert, der sonst nur von reinen Signalprozessoren erreicht wird. Der DSP kann darüber hinaus einen 32-bit-Operanden so verarbeiten, als ob er aus zwei unabhängigen 16-bit-Zahlen bestünde. Werden tatsächlich nur 16-bit-Werte verarbeitet, führt dies zu einer wesentlichen Beschleunigung, da bis zu vier solcher Datenworte gleichzeitig verarbeitet werden können.

Der Befehls-Cache in der CPU ist als einfacher Zirkularpuffer von 32 Worten zu 32 bit ausgeführt, der vom „Look-Ahead Counter“ mit der höchsten Befehlsadresse im Cache und vom „Look-Back Counter“ mit der niedrigsten Befehlsadresse im Puffer überwacht wird. Der einfache Mechanismus kann als ein bewegliches Fenster angesehen werden, das sich in dem Maß vorwärts bewegt, wie Befehle abgearbeitet werden, und anhält, wenn eine Schleife begonnen wird. Die relativ einfache Struktur dieses Cache-Speichers erweist sich als besonders effizient für kleine Schleifen, wie sie häufig in den Grundroutinen von Algorithmen der Signalverarbeitung angetroffen werden. Ein zusätzlicher Vorteil des kleinen Cache ist die signifikante Reduktion der benötigten Chipfläche sowie eine insgesamt verbesserte Echtzeit-Fähigkeit.



**Bild 2.** Blockdiagramm der DSP-Einheit des Hyperstone-Prozessors.

Auf Interrupts reagiert der hyNet32XS innerhalb von sieben Taktzyklen, auch wenn die CPU gerade eine komplexe DSP-Funktion ausführt. Durch die Parallelität der Hardware kann die DSP-Einheit weiterarbeiten, während der Rest der CPU sich dem Beginn der Interrupt-Serviceroutine zuwendet. Da nur ein Minimum an Status-Informationen zu sichern ist, kann der „Context Switch“ innerhalb von sieben Zyklen tatsächlich garantiert werden, sofern kein Interrupt mit höherer Priorität dazwischenkommt.

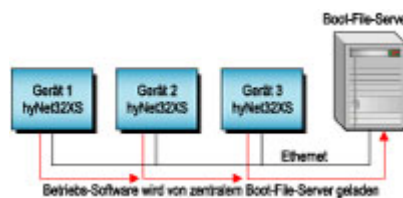
### Komplette Peripherie auf einem Chip

Zu den Bestandteilen des Hyperstone-Prozessors zählen unter anderem auch ein 32-bit-Timer mit Watchdog sowie ein Interrupt-Controller für die internen bzw. für sieben prioritätsgesteuerte externe Interrupts. Eine PLL (Phase Locked Loop) auf dem Chip sorgt für den richtigen Takt bei den Prozessorabläufen; der Takt kann aus einem fast beliebigen Quarz oder einer externen Taktquelle abgeleitet werden. Der PLL-Schaltkreis lässt sich per Software auf ein anderes Teilverhältnis programmieren, um z.B. den Stromverbrauch weiter zu reduzieren, wenn die Rechenleistung nicht im vollen Umfang benötigt wird. Dabei wird die Programmierung des Timers auf dem Chip mit korrigiert. Neu sind die von Hyperstone selbst entwickelte Memory Management Unit (MMU) und der direkte Speicherzugriff durch eine DMA-Einheit. Das interne Bussystem basiert auf einem standardisierten AMBA-Bus nach der Spezifikation Rev. 2.0. Für einen problemlosen Einsatz des hyNet32XS auch in batteriebetriebenen Geräten sorgt schließlich ein neu entwickelter interner Power-Manager, mit dem sich alle Funktionsblöcke, die gerade nicht benötigt werden, in einen Sleep-Modus versetzen lassen.

An Schnittstellen integriert der hyNet32XS zwei Ethernet-MACs und einen kompletten 100-Mbit-Ethernet-PHY auf einem Chip. Die beiden Ethernet-Schnittstellen unterstützen das Takt-Synchronisationsverfahren nach IEEE 1588, wobei schon heute ergänzend zur geforderten 64-bit-Zeitmessung mit einer Auflösung von 1 ns Messungen im Picosekunden-Bereich möglich sind. Für zusätzliche Flexibilität sorgen neben den beiden frei konfigurierbaren seriellen Schnittstellen (SSI, SPI) inkl. FIFO-Puffern und mit bis zu 40 Mbit/s Durchsatz noch I2C, I2S, UART, USB, CAN, ATM UTOPIA, IOM-2 sowie eine Vielzahl von GPIOs.

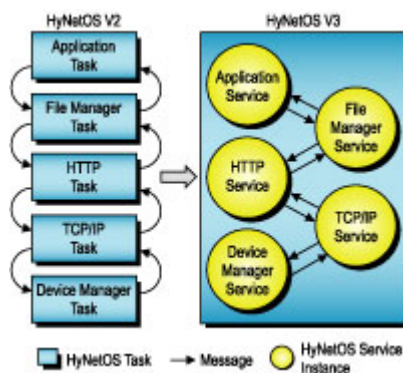
## Der Trick mit dem Speicher

Dank des auf die Pipeline-Architektur des hyNet32XS optimal abgestimmten Embedded-Betriebssystems HyNetOS 3.0 von Smart Network Devices reichen meist schon die 128 Kbyte internes SRAM aus, um selbst komplexe Kommunikationsaufgaben – z.B. eine Netzwerkkamera mitsamt HTTP-Server mit TCP/IP-Stapel, Bilderfassung, Echtzeit-Bildkompression, Ethernet-Treibern, Echtzeit-Kern und weiteren Schnittstellen-Treibern – mit einem einzigen Chip realisieren zu können. Der Trick dabei: Der im ROM überschreib- und absturzsicher gespeicherte Bootloader-Code holt sich die Betriebssoftware in der Regel von einem File-Server im Netzwerk (Bild 3). Die eigene Ethernet-MAC-Adresse, die eigene IP-Adresse, die IP-Adresse des Boot-File-Servers im Netz und andere Parameter können dabei einem seriellen EEPROM entnommen werden, ein Flash-Speicher wird so überflüssig.



**Bild 3.** Prinzip des Bootens vom File-Server über Ethernet.

Der Ablauf des Betriebssystems auf dem internen SRAM garantiert auch noch einen Geschwindigkeitsvorteil, weil für die Kommunikation zwischen Prozessor und Speicher immer ein 32 bit breiter Bus zur Verfügung steht. Extrem kurze Signalwege und niedrige Ladekapazitäten erlauben selbst bei 200 MHz CPU-Takt noch Ein-Zyklus-Zugriffe. Dies entspricht einer Zugriffszeit von 5 ns; mit der Busbreite multipliziert ergibt sich daraus ein maximaler Datensatz von 6,4 Gbit/s.



**Bild 4.** Die Instanz-Orientierung von HyNetOS 3.0.

Das modular aufgebaute HyNetOS 3.0 benötigt durch seine Instanz-Orientierung wesentlich weniger System-Tasks als vergleichbare taskorientierte nachrichtenbasierende Betriebssysteme (Bild 4). Diese können jetzt zudem sowohl synchron als auch asynchron verarbeitet werden. Neue Zustandsautomaten im Betriebssystem führen zu kompakteren und gleichzeitig auch robusteren Funktionsblöcken, da keine Code-Wiederholungen auftreten. Alle Ereignisse werden in allen möglichen Zuständen zwangsweise behandelt, Services nicht mehr mit einer fixen Priorität starr in den Tasks abgewickelt. Stattdessen werden Instanzen je nach Anforderung in beliebigen Tasks erzeugt, wodurch sich ein dynamisches Verhalten bei unterschiedlich priorisierten Nachrichten im System ergibt. Ein optimierter „Memory Manager“ schließlich sorgt für deterministische Abläufe in der Speicherverwaltung.

## Programmiersprachen/Tools

Um das vorhandene Potential der Parallelverarbeitung beim HyNetOS 3.0 optimal nutzen zu können, ist es hilfreich, die interne Struktur der CPU zu kennen und die Vorgänge dafür zu optimieren. Deshalb steht dem hyNet32XS-Anwender neben dem eigentlichen Entwicklungssystem eine Bibliothek mit 135 populären und häufig genutzten Funktionen wie FFT, DCT und verschiedenen Filteralgorithmen in optimal codierter Form zur Verfügung. Der Anwender kann zur Programmierung unter anderem auf eine komplette Suite von Entwicklungstools für C und C++ zurückgreifen, aber auch selbst in Assembler vorgehen. Zur Fehlersuche stehen Debugger für den Quellcode und die Laufzeit sowie ein Software-Profiler zur Verfügung. Damit können „Breakpoints“ per Mausklick gesetzt und die Inhalte aller Register angesehen bzw. modifiziert werden. Zudem bietet das Entwicklungssystem auch einen „Trace“ des Frame-Registers an, das den Arbeitsbereich definiert und für Subroutinen die Parameterübergabe kontrolliert. Musterstückzahlen des in einem 265-BGA-Gehäuse mit lediglich 17 mm Kantenlänge untergebrachten hyNet32XS und entsprechende Entwicklungs-Kits von Hyperstone und Smart Network Devices sollen im Laufe des 1. Quartals 2004

erhältlich sein.

## Autoren

**Peter Duchemin** studierte Elektrotechnik an der RWTH Aachen. Nach dem Diplom folgten sieben Jahre Entwicklungstätigkeit, zuletzt als Entwicklungsleiter in einem mittelständischen Unternehmen der ISDN-Datenkommunikation. Bereits in dieser Zeit erfolgte eine starke Fokussierung auf Themen wie „Embedded“-Betriebssysteme und TCP/IP-Networking. 1999 gründete er die Smart Network Devices GmbH, wo er seither als Geschäftsführender Gesellschafter tätig ist.

E-Mail: [pduchemin@smartnd.com](mailto:pduchemin@smartnd.com)



Dr. Matthias Steck studierte Elektrotechnik an der Gerhard-Mercator-Universität in Duisburg, wo er auch jahrelang als wissenschaftlicher Mitarbeiter tätig war. Seit 1993 ist er bei der Hyperstone AG. Als Vicepresident zeichnet er nicht nur weltweit für die Bereiche Marketing und Vertrieb verantwortlich, sondern auch für den Auf- und Ausbau der Hyperstone-Niederlassung in Taiwan.

E-Mail: [msteck@hyperstone.com](mailto:msteck@hyperstone.com)

Jens Würtenberg, Elektronik 05/2004

---

© 2004 WEKA Fachzeitschriften-Verlag GmbH  
Alle Rechte vorbehalten.

---